

Docket No.: P-0550

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Young-Suck KIM :
Serial No.: New U.S. Patent Application :
Filed: July 16, 2003 :
For: CLOCK SYNCHRONIZATION APPARATUS AND METHOD OF :
DEVICES WITH DIFFERENT CLOCKS :

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
Alexandria, Virginia 22313-1450

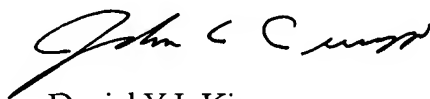
Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 0042556/2002 filed July 19, 2002

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP



Daniel Y.J. Kim
Registration No. 36,186
John L. Ciccozzi
Registration No. 48,984

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440

Date: July 16, 2003

DYK/JLC:sbh



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0042556
Application Number PATENT-2002-0042556

출 원 년 월 일 : 2002년 07월 19일
Date of Application JUL 19, 2002

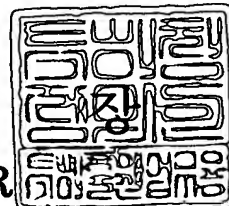
출 원 인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2003 년 01 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.07.19
【국제특허분류】	H03K 23/00
【발명의 명칭】	클록 동기화 방법
【발명의 영문명칭】	METHOD FOR CLOCK SYNCHRONIZING
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	2002-027075-8
【발명자】	
【성명의 국문표기】	김영석
【성명의 영문표기】	KIM, Young Suck
【주민등록번호】	740124-1047921
【우편번호】	431-080
【주소】	경기도 안양시 동안구 호계동 1042번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	266,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 클록 속도가 2:1로 다른 두 소자를 동기 시킬 경우, 클록 속도가 높은 소자를 클록 속도가 낮은 소자에 맞춰서 클록 속도를 낮추지 않고도, 인터페이스 할 수 있도록 하는 클록 동기화 방법에 관한 것으로, 클록 속도가 2:1로 다른 마이크로프로세서와 램의 두 소자를 클록 동기 시켜 데이터를 리드함에 있어서, 상기 마이크로프로세서의 내부 메모리 제어기(UPM)의 메모리 제어 테이블에서, 램의 RCD(RAS to CAS Delay)를 마이크로프로세서의 1 클록에 해당하게 프로그램하는 단계와; 상기 메모리 제어기(UPM)의 메모리 제어 테이블에서 램의 CL(CAS Latency)을 마이크로프로세서의 1 클록에 해당하게 프로그램 하는 단계와; 클록 일시정지(Suspend) 기능에 의해 상기 램의 데이터 출력을 2 클록 동안 유지시키는 단계와; 상기 램의 데이터 출력이 2 클록 유지되는 동안 출력되는 데이터를 샘플링 하는 단계와; 상기 램의 프리차지를 위해 램의 RP(Precharge time)를 마이크로프로세서의 1 클록에 해당하게 프로그램 하는 단계로 이루어짐으로써 달성할 수 있다.

【대표도】

도 5

【명세서】

【발명의 명칭】

클록 동기화 방법 {METHOD FOR CLOCK SYNCHRONIZING}

【도면의 간단한 설명】

도 1은 본 발명에 의한 인터페이스 방법을 설명하기 위한 예시도.

도 2는 마이크로프로세서의 메모리 제어기(UPM)에서 출력되는 램 제어신호 발생 주기를 보인 타이밍 차트.

도 3은 램의 클록 일시정지(Suspend) 동안의 리드(Read) 기능을 설명하기 위한 타이밍 차트.

도 4는 램의 클록 일시정지(Suspend) 동안의 라이트(Write) 기능을 설명하기 위한 타이밍 차트.

도 5는 본 발명에 의한 단일 리드(Single Read) 동작시의 타이밍 차트.

도 6은 본 발명에 의한 버스트 라이트(Burst Write) 동작시의 타이밍 차트.

도 7은 종래의 인터페이스 방식과 본 발명에 의한 인터페이스에 의해 얻어지는 성능 향상을 비교한 예시도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 클록 동기화 방법에 관한 것으로, 특히 클록 속도가 2:1로 다른 두 소자를 동기 시킬 경우, 클록 속도가 높은 소자를 클록 속도가 낮은 소자에 맞춰서 클록 속도를 낮추지 않고도, 인터페이스 할 수 있도록 하는 클록 동기화 방법에 관한 것이다.

<9> 일반적으로, 램(SDRAM 모듈)과 마이크로프로세서의 메모리 제어기(Memory Controller : UPM)의 동작 클록 비가 2:1을 이룰 때, 동기 소자끼리의 인터페이스임에도 불구하고 1:1 클록으로 동기를 맞추기 위해, 램의 클록 비를 메모리 제어기(UPM)의 클록에 맞춰(속도가 느린 소자의 클록 속도에 맞춰) 낮추게 된다.

<10> 즉, 인터페이스하는 각 소자의 동작 클록이 서로 일치하지 않을 경우, 빠른 클록의 소자를 느린쪽 소자의 클록과 동일하게 낮추어야만 인터페이스 할 수 있기 때문에, 빠른쪽 클록의 소자는 클록이 낮아지는 값에 비례해서 자신의 최대 성능이 감소되는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<11> 따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 창출한 것으로, 클록 속도가 2:1로 다른 두 소자를 동기 시킬 경우, 클록 속도가 높은 소자를 클록 속도가 낮은 소자에 맞춰서 클록 속도를 낮추지 않고도, 인터페이스 할 수 있도록 하는 클록 동기화 방법을 제공함에 그 목적이 있다.

<12> 이와 같은 목적을 달성하기 위한 본 발명은, 클록 속도가 2:1로 다른 마이크로프로세서와 램의 두 소자를 클록 동기 시켜 데이터를 리드함에 있어서, 상기 마이크로프로세서의 내부 메모리 제어기(UPM)의 메모리 제어 테이블에서, 램의 RCD(RAS to CAS Delay)를 마이크로프로세서의 1 클록에 해당하게 프로그램하는 단계와; 상기 메모리 제어기(UPM)의 메모리 제어 테이블에서 램의 CL(CAS Latency)을 마이크로프로세서의 1 클록에 해당하게 프로그램 하는 단계와; 클록 일시정지(Suspend) 기능에 의해 상기 램의 데이터 출력을 2 클록 동안 유지시키는 단계와; 상기 램의 데이터 출력이 2 클록 유지되는 동안 출력되는 데이터를 샘플링 하는 단계와; 상기 램의 프리차지를 위해 램의 RP(Precharge time)를 마이크로프로세서의 1 클록에 해당하게 프로그램 하는 단계로 이루어진 것을 특징으로 한다.

<13> 상기 목적은 달성하기 위한 본 발명은, 클록 속도가 2:1로 다른 마이크로프로세서와 램의 두 소자를 클록 동기 시켜 데이터를 라이트함에 있어서, 상기 마이크로프로세서의 내부 메모리 제어기(UPM)의 메모리 제어 테이블에서, 램의 RCD(RAS to CAS Delay)를 마이크로프로세서의 1 클록에 해당하게 프로그램하는 단계와; 클록 인에이블 신호(CKE)를 1/4 주기 동안 "Low"로 프로그램 하여, 상기 램의 데이터(D0) 입력이 2 클록마다 1번씩 샘플링 되게 하는 단계와; 순차로 입력되는 데이터(D1, D2...)에 대해서 샘플링 할 수 있도록, 클록 인에이블 신호(CKE)를 소정 주기로 반복 출력하는 단계로 이루어진 것을 특징으로 한다.

【발명의 구성 및 작용】

<14> 이하, 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.

- <15> 먼저, 도1은 본 발명에 의한 인터페이스 방법을 설명하기 위한 예시도로서, 클록 속도가 50Mhz인 모토롤라사의 마이크로프로세서(10)에 내장된 메모리 제어기(UPM, 미도시)와 클록 속도가 100Mhz인 램(20)을 예제로 설명하기로 한다.
- <16> 여기서, 상기 두 소자간에는 50Mhz 클록과 100Mhz 클록의 위상을 일치시키기 위해, 마이크로프로세서(10)의 출력 클럭(Clock Out)을 2배로 만들면서, 인쇄회로 기판 패턴상의 전파 지연(Propagation Delay)도 보정 해 주는 궤환 회로를 가진 클록 구동기(30)를 사용한다.
- <17> 또한, 램(20)의 CKE(Clock Enable)는 일반적으로 항상 풀업(Pull Up)으로 사용되지만, 본 실시예에서는 램의 클록 일시정지 기능(Suspend)을 사용하기 위해, 마이크로프로세서(10)의 GPL(General Purpose Line) 포트를 상기 CKE 단자에 접속해서 제어한다.
- <18> 참고로, 본 발명에서는 마이크로프로세서가 50MHz로 동작하더라도, 메모리 제어기(UPM)의 램 제어신호는 마이크로프로세서 동작클록의 두 배의 클록으로 동작해야만 적용 가능하다.
- <19> 도2는 마이크로프로세서(10)의 메모리 제어기(UPM)에서 출력되는 램 제어신호 발생 주기를 보인 타이밍 차트로서, 시스템 클록 대비 램 워드(램 제어신호)는 시스템 클록을 1/4주기 시프트 시켜, 두 클록간의 차이를 이용한 클록을 이용해서 발생되기 때문에, 시스템 클록의 두 배의 클록으로 램 제어신호를 발생할 수 있음을 알 수 있다.
- <20> 즉, 마이크로프로세서(10)가 50MHz로 동작하더라도, 램 제어신호는 그 두 배인 100MHz로 제어가 가능한 것이다.

- <21> 다음, 도3은 램의 클록 일시정지(Suspend) 동안의 리드(Read) 기능을 설명하기 위한 것으로, 클록 일시정지 기능은 램의 데이터 리드 시 데이터 출력을 2 클록 동안 유지시킬 수 있는 기능이다.
- <22> 본 실시예에서 마이크로프로세서(10)의 1 클록은 램의 2 클록이 된다. 따라서, 만약 램이 1 클록 동안만 데이터 출력을 유지할 경우, 램의 첫 번째 출력 데이터는 마이크로프로세서(10)에 의해 인식될 수 있지만, 버스트 리드의 경우 마이크로프로세서(10)가 인식하는 두 번째 데이터는 램의 3번째 데이터가 될 것이고, 마이크로프로세서가 3번째, 4번째 데이터를 인식할 때는 이미 램은 4개의 데이터를 다 보낸 후이기 때문에 문제가 될 것이다.
- <23> 또한, 램은 데이터를 출력한 후 프리차지(precharge)를 기대하는데, 마이크로프로세서는 데이터의 인식을 기대하고 있기 때문에, 램에 저장된 데이터를 잃어버리게 될 것이다. 이러한 상황에서 클록 일시정지(Clock Suspend) 기능을 활용하면 상기와 같은 문제점을 해결할 수 있다.
- <24> 도4는 램의 클록 일시정지(Suspend) 동안의 라이트(Write) 기능을 설명하기 위한 것으로, 마이크로프로세서(10)에서 버스트 라이트 시 램의 입장에서는 데이터가 매 2 클록마다 출력되므로, 램에 매 클록마다 데이터가 입력되지 않아 문제가 발생하게 된다.
- <25> 상기와 같은 문제점을 해결하기 위해서 CKE 신호를 제어하여 클록 일시정지 기능을 수행하고, 그 동안 라이트를 하면 램이 매 2 클록의 처음 상승 에지(Rising Edge)에서 데이터를 입력받으므로 2:1 클록의 문제를 해결할 수 있다.

- <26> 즉, 마이크로프로세서는 돈케어(Don't care) 영역에도 실제 데이터를 출력하고 있으나, 램에서는 상관하지 않으므로 문제되지 않는 것이다.
- <27> 다음, 도5는 본 발명에 의한 단일 리드(Single Read) 동작시의 타이밍 차트로서, 본 발명은 램의 RCD(RAS to CAS Delay)=2클록, CL(CAS Latency)=2클록, RP(Precharge time)=2클록으로 마이크로프로세서의 1 클록씩과 같다는 점을 이용한다.
- <28> 먼저, 메모리 제어기(UPM)의 메모리 제어 테이블에서, 램의 RCD(RAS to CAS Delay)를 마이크로프로세서의 1 클록에 해당하게 프로그램하고, "Low"로 출력은 마이크로프로세서의 1/4 클록 동안만 출력되게 프로그램 한다(램의 입장에서는 RCD=2클록만큼 주어진 다)(①,②).
- <29> 다음, 메모리 제어기(UPM)의 메모리 제어 테이블에서 램의 CL(CAS Latency)을 마이크로프로세서의 1 클록에 해당하게 프로그램하고, 램의 데이터 출력이 2 클록 동안 유지되도록 클록 일시정지 동안 리드 기능을 활용하기 위해 CKE를 1/4주기 동안 "Low"로 프로그램 한다(③,④).
- <30> 이에 따라, 상기 램의 데이터 출력이 2 클록 동안 유지되는 동안, 적절한 타이밍(A)에서 데이터(D0)를 샘플링 한다(⑤,⑥).
- <31> 다음, 프리차지를 위해 메모리 제어기(UPM)의 메모리 제어 테이블에서, 램의 RP(Precharge time)를 마이크로프로세서의 1 클록에 해당하게 프로그램 한다. 이때 램의 입장에서는 실제 2 클록만큼의 RP(Precharge time)가 주어지는 것이다(⑦,⑧).
- <32> 이상으로, 단일 리드 한 주기가 끝나면 다시 새로운 단일 리드가 시작된다(⑨).

- <33> 다음, 도6은 본 발명에 의한 버스트 라이트(Burst Write) 동작시의 타이밍 차트로서, 본 발명은 램의 RCD(RAS to CAS Delay)=2클록, CL(CAS Latency)=2클록, RP(Precharge time)=2클록으로 마이크로프로세서의 1 클록씩과 같다는 점을 이용한다.
- <34> 먼저, 메모리 제어기(UPM)의 메모리 제어 테이블에서 램의 RCD(RAS to CAS Delay)를 마이크로프로세서의 1 클록에 해당하게 프로그램하고, "Low" 출력은 마이크로프로세서의 1/4 클록 동안만 출력되게 프로그램 한다(램의 입장에서는 RCD = 2클록만큼 주어진 다)(①,②).
- <35> 램의 데이터 입력이 2 클록마다 1번씩 샘플링 되도록, CKE를 1/4 주기 동안 "Low"로 프로그램 하여, 클록 일시정지 동안 적절한 타이밍(B)에서 램은 라이트 데이터(D0)를 샘플링하고, D1, D2, D3 데이터에 대해서도 순차로 샘플링 할 수 있도록, CKE를 1/4 주기 동안 "Low"로 유지시키게 프로그램 한다(③~⑨).
- <36> 이상으로, 버스트 라이트 한 주기가 끝나면 램은 프리차지(Auto Precharge)에 들어간다(미도시).
- <37> 이상과 같이 본 발명은 메모리 제어기의 메모리 제어신호가 마이크로프로세서의 동작 클록에 1/4 위상차를 가진 클록과 겹쳐, 자신의 동작 클록보다 2배의 클록 주기로 램 제어신호를 발생할 수 있다는 점과, 램의 모든 명령이 항상 자신의 동작 클록의 2배 주기로 발생된다는 점과, 램의 클록 일시정지(Suspend) 기능으로 램의 리드(Read)와 라이트(Write) 타이밍을 한 클록씩 늦출 수 있다는 점과, 마이크로프로세서의 메모리 제어기와 램의 클록 위상차를, 무지연(zero delay) 클록버퍼를 사용하여 제거할 수 있다는 점을 이용함으로써 가능하다.

<38> 참고로, 도7은 종래의 인터페이스 방식과 본 발명에 의한 인터페이스에 의해 얻어지는 성능 향상을 비교한 예시도로서, 최소 25% ~ 100% 까지 성능이 향상됨을 알 수 있다.

<39> 이외에 도면으로 도시되어 있지는 않지만, 모드 레지스터 셋트(Mode Register Set), 리프레시 명령(Refresh Command)도 램의 2 클록 주기를 이용하여 상기와 같은 방법으로 응용이 가능할 것이다.

【발명의 효과】

<40> 이상에서 설명한 바와 같이 본 발명 클록 동기화 방법은, 클록 속도가 2:1로 다른 두 소자를 동기 시킬 경우, 클록 속도가 높은 소자를 클록 속도가 낮은 소자에 맞춰서 클록 속도를 낮추지 않고도, 인터페이스 할 수 있도록 하는 효과가 있다.

【특허청구범위】**【청구항 1】**

클록 속도가 2:1로 다른 마이크로프로세서와 램의 두 소자를 클록 동기 시켜 데이터를 리드함에 있어서,

상기 마이크로프로세서의 내부 메모리 제어기(UPM)의 메모리 제어 테이블에서, 램의 RCD(RAS to CAS Delay)를 마이크로프로세서의 1 클록에 해당하게 프로그램하는 단계와;

상기 메모리 제어기(UPM)의 메모리 제어 테이블에서 램의 CL(CAS Latency)을 마이크로프로세서의 1 클록에 해당하게 프로그램 하는 단계와;

클록 일시정지(Suspend) 기능에 의해 상기 램의 데이터 출력을 2 클록 동안 유지시키는 단계와;

상기 램의 데이터 출력이 2 클록 유지되는 동안 출력되는 데이터를 샘플링 하는 단계와;

상기 램의 프리차지를 위해 램의 RP(Precharge time)를 마이크로프로세서의 1 클록에 해당하게 프로그램 하는 단계로 이루어진 것을 특징으로 하는 클록 동기화 방법.

【청구항 2】

제1항에 있어서, 상기 클록 일시정지(Suspend) 기능을 위한 클록 인테이블 신호(CKE)의 "Low" 구간은, 마이크로프로세서의 시스템 클럭의 1/4주기인 것을 특징으로 하는 클록 동기화 방법.

【청구항 3】

제1항에 있어서, 상기 두 소자인 마이크로프로세서와 램은, 램의 RCD(RAS to CAS Delay)=2클록, CL(CAS Latency)=2클록, RP(Precharge time)=2클록으로 마이크로프로세서의 1 클록씩과 같은 조건에서 인터페이스 되는 것을 특징으로 하는 클록 동기화 방법.

【청구항 4】

클록 속도가 2:1로 다른 마이크로프로세서와 램의 두 소자를 클록 동기 시켜 데이터를 라이트함에 있어서,

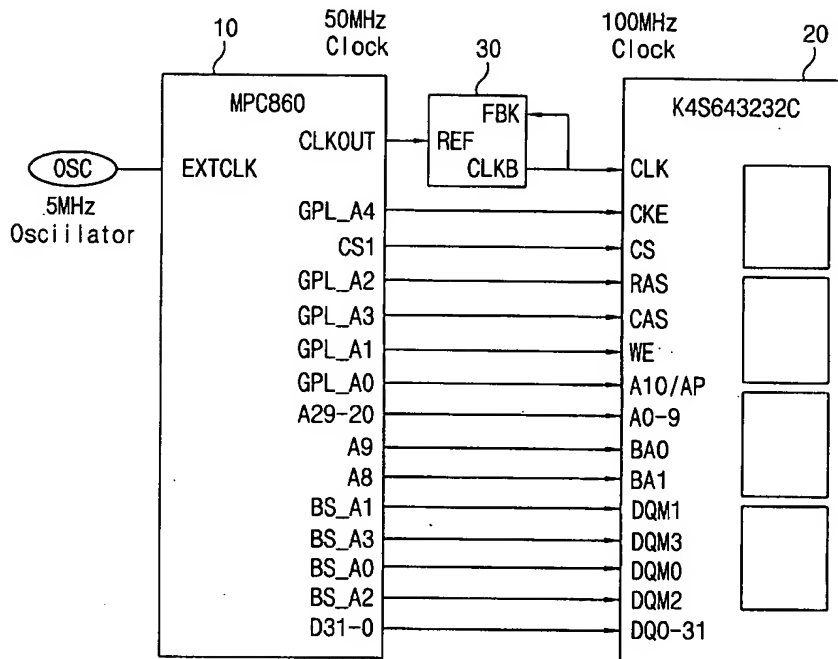
상기 마이크로프로세서의 내부 메모리 제어기(UPM)의 메모리 제어 테이블에서, 램의 RCD(RAS to CAS Delay)를 마이크로프로세서의 1 클록에 해당하게 프로그램하는 단계와;

클록 인에이블 신호(CKE)를 1/4 주기 동안 "Low"로 프로그램 하여, 상기 램의 데이터(D0) 입력이 2 클록마다 1번씩 샘플링 되게 하는 단계와;

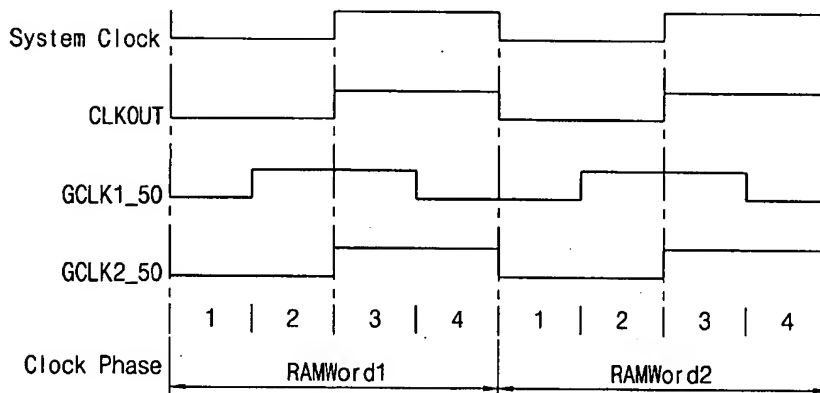
순차로 입력되는 데이터(D1,D2...)에 대해서 샘플링 할 수 있도록, 클록 인에이블 신호(CKE)를 소정 주기로 반복 출력하는 단계로 이루어진 것을 특징으로 하는 클록 동기화 방법.

【도면】

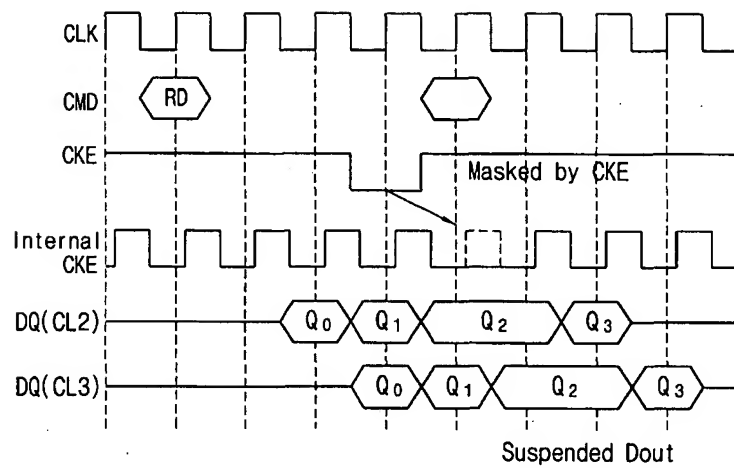
【도 1】



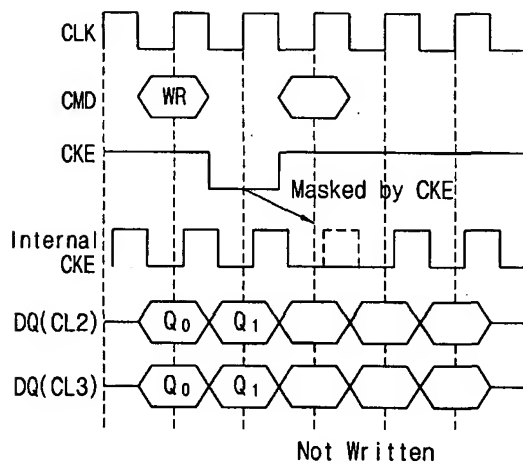
【도 2】



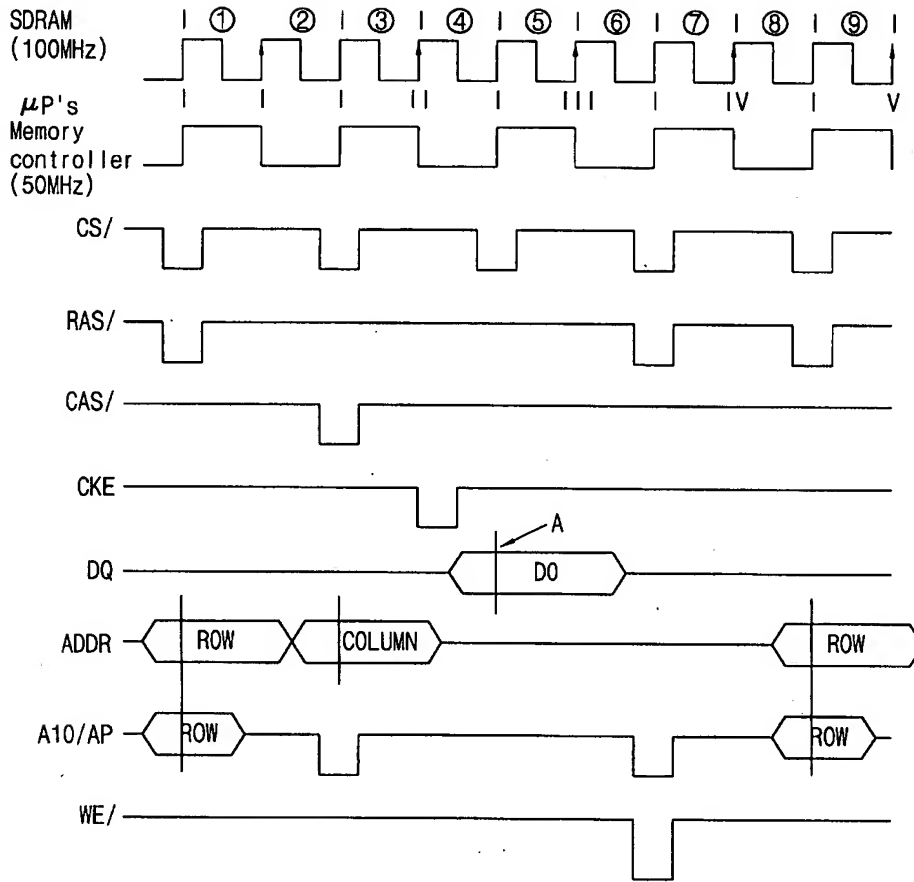
【도 3】



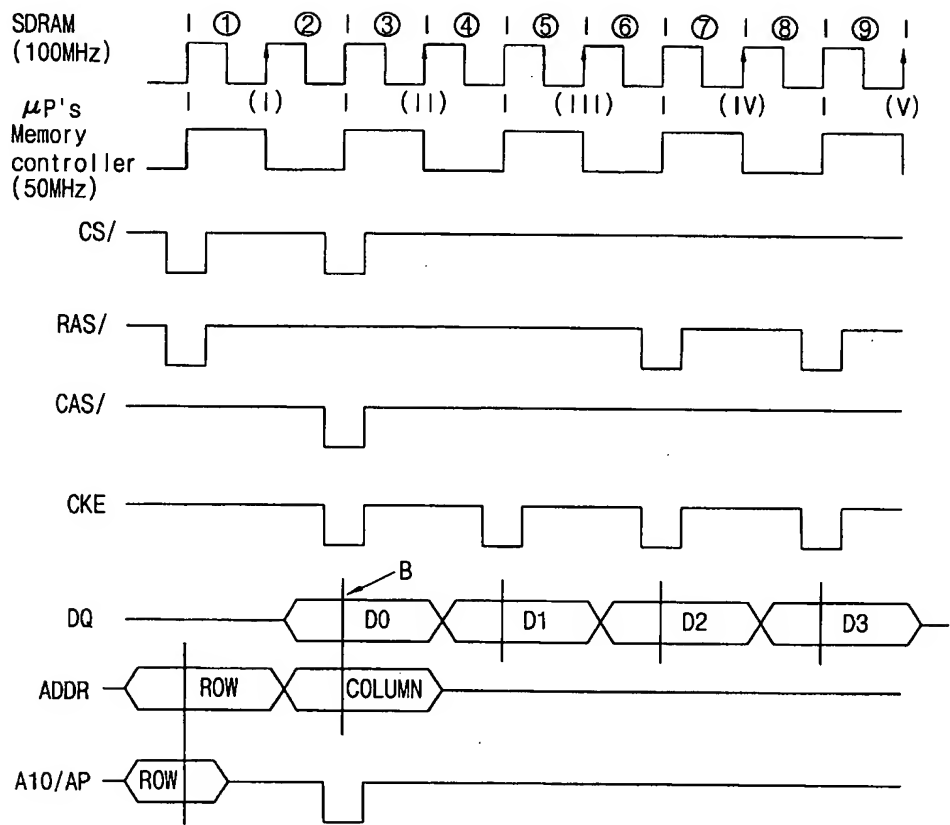
【도 4】



【도 5】



【도 6】



【도 7】

		기존 방식			2:1 방식			성능 향상	
		SDRAM latency	Total latency to transfer data	Max Bandwidth	SDRAM latency	Total latency to transfer	Max Bandwidth	Access time ((2:1 방식)/(기존 방식))	Max Bandwidth improvement (%)
Page Hit일 때	Single Read	CL = 2	2	4B/20ns = 200MB/s	CL = 1	1	4B/10ns = 400MB/s	1/2	100%
	Burst Read	CL = 2	5	16B/50ns = 320MB/s	CL = 1	4	16B/40ns = 400MB/s	1/2	25%
"Normal" Page miss 일 때	Single Read	RCD + CL = 4	4	4B/40ns = 100MB/s	RCD + CL = 2	2	4B/20ns = 200MB/s	1/2	100%
	Burst Read	RCD + CL = 4	7	16B/70ns = 229MB/s	RCD + CL = 2	5	16B/50ns = 320MB/s	1/2	40%
Page miss (sense amp에 기존 row가 open되어 있을 때)	Single Read	RP + RCD + CL = 6	6	4B/60ns = 67MB/s	RP + RCD + CL = 3	3	4B/30ns = 133MB/s	1/2	100%
	Burst Read	RP + RCD + CL = 6	9	16B/90ns = 177MB/s	RP + RCD + CL = 3	6	16B/60ns = 266MB/s	1/2	50%